

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-161598

(43)公開日 平成10年(1998)6月19日

(51)Int.Cl.⁹

識別記号

F I

G 0 9 G 3/36

C 0 9 G 3/36

G 0 2 F 1/133

5 7 5

C 0 2 F 1/133

5 7 5

H 0 4 N 5/66

1 0 2

H 0 4 N 5/66

1 0 2 B

審査請求 有 請求項の数2 O L (全 10 頁)

(21)出願番号 特願平8-317601

(22)出願日 平成8年(1996)11月28日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 一桒 剛

東京都港区芝五丁目7番1号 日本電気株式会社内

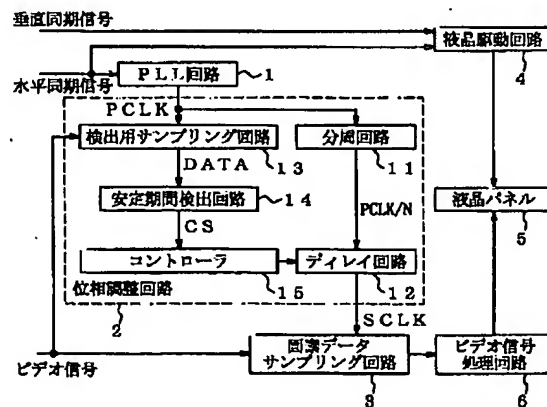
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】動画を含む自動表示調整が容易であり、且つビデオ信号に介在するノイズ等を有効に検出することのできる液晶表示装置を実現する。

【解決手段】水平同期信号に同期する基準クロック (PCLK) を生成するPLL回路1と、分周回路11、ディレイ回路12、検出用サンプリング回路13、安定期間検出回路14、コントローラ15を含み、基準クロック (PCLK) の位相を自動調整し、N分周されたサンプリングクロック (SCLK) を出力する位相調整回路2と、ビデオ信号を入力し、サンプリングクロック (SCLK) によるサンプリングデータを出力する画素データサンプリング回路3と、液晶駆動信号を出力する液晶駆動回路4と、前記サンプリングデータに対しガンマ補正および極性反転等を含むビデオ処理を行うビデオ信号処理回路6と、ビデオ処理された画像データを入力して表示する液晶パネル5とを備えて構成される。



【特許請求の範囲】

【請求項1】 水平同期信号を入力して、当該水平同期信号に同期する基準クロック信号を生成して出力する位相同期回路と、所定の表示対象とするビデオ信号を入力し、前記位相同期回路より出力される基準クロック信号を介して、当該ビデオ信号の画素データをサンプリングするための適正位相のサンプリングクロック信号を生成して出力する位相調整回路と、前記ビデオ信号を入力し、前記サンプリングクロック信号を介して当該ビデオ信号の画素データをサンプリングし、サンプリング画像データを生成して出力する画素データサンプリング回路と、当該サンプリング画像データに対するビデオ処理を行い、画像表示用の画像データを生成して出力するビデオ処理回路と、当該画像表示用の画像データを入力し、所定の液晶駆動信号を介して表示する液晶パネルとを含む液晶表示装置において、

前記位相調整回路が、前記ビデオ信号を入力して、前記基準クロック信号を介して当該ビデオ信号をサンプリングし、電位レベル判定期間検出用の第1のサンプリングデータを出力する検出用サンプリング回路と、前記第1のサンプリングデータを入力して、当該サンプリングデータの隣接する各サンプリングポイントにおける電位変化の有無を検出し、当該検出結果より前記第1のサンプリングデータの電位安定期間を示す信号を生成して出力する安定期間検出回路と、

前記基準クロック信号を入力して、当該基準クロック信号の周波数を分周して分周クロック信号を生成して出力する分周回路と、

前記第1のサンプリングデータの電位安定期間を示す信号の入力を受けて、当該電位安定期間を示す信号を参照して前記ビデオ信号の電位変化が安定している期間を計数し、当該計数結果により予め画像データサンプリング機能の必要条件として設定されるセットアップ時間およびホールド時間を確保することができるか否かを判定するとともに、当該必要条件を確保することができると判定される場合に、電位レベルの安定開始時点からセットアップ時間後の位相を算出し、当該算出結果を参照して、前記分周クロック信号に対する位相制御用の制御信号を生成して出力するコントローラと、

前記分周回路より出力される分周クロック信号を入力し、前記コントローラより出力される制御信号を介して当該分周クロック信号の位相を制御調整し、第2のサンプリングクロック信号として、前記画像データサンプリング回路に出力するディレイ回路と、を備えて構成されることを特徴とする液晶表示装置。

【請求項2】 水平同期信号を入力して、当該水平同期信号に同期する基準クロック信号を生成して出力する位相同期回路と、所定の表示対象とするビデオ信号を入力し、前記位相同期回路より出力される基準クロック信号を介して、当該ビデオ信号の画素データをサンプリング

するための適正位相のサンプリングクロック信号を生成して出力する位相調整回路と、前記ビデオ信号を入力し、前記サンプリングクロック信号を介して当該ビデオ信号の画素データをサンプリングし、サンプリング画像データを生成して出力する画素データサンプリング回路と、当該サンプリング画像データに対するビデオ処理を行い、画像表示用の画像データを生成して出力するビデオ処理回路と、当該画像表示用の画像データを入力して表示する液晶パネルとを備えて構成される液晶表示装置において、

前記位相調整回路が、前記基準クロック信号を入力して、当該基準クロック信号を m ($m: 0, 1, 2, \dots, m$) 本の基準クロック信号に分配するとともに、それぞれの基準クロック信号に対し、当該基準クロック信号の周期を m 分割した位相量を ϕ として、それぞれ $m\phi$ の遅延位相量を付与して形成される m 本のサンプリングクロック信号を生成して出力する検出用サンプリングクロック生成回路と、

前記ビデオ信号を入力し、前記 m 本のサンプリングクロック信号を介して、当該ビデオ信号の各1画素に対応する期間を m 個のサンプリングポイントにおいてサンプリングし、対応する m 個のサンプリングデータを生成して出力する検出用サンプリング回路と、

前記 m 個のサンプリングデータを入力して、当該 m 個のサンプリングデータの隣接する各サンプリングポイントにおける電位変化の有無を検出し、当該検出結果より各サンプリングデータの電位安定期間を示す信号を生成して出力する安定期間検出回路と、

前記各サンプリングデータの電位安定期間を示す信号の入力を受けて、当該電位安定期間を示す信号を参照して前記ビデオ信号の電位変化が安定している期間を計数し、当該計数結果により予め画像データサンプリング機能の必要条件として設定されるセットアップ時間およびホールド時間を確保することができるか否かを判定するとともに、当該必要条件を確保することができると判定される場合に、電位レベルの安定開始時点からセットアップ時間後の位相を算出し、当該算出結果を参照して、画像データのサンプリングクロック信号に対する位相制御用の制御信号を出力するコントローラと、

前記検出用サンプリングクロック生成回路より出力される m 本のサンプリングクロック信号を入力し、前記制御信号により、当該 m 本のサンプリングクロック信号の内より、最適の位相関係を有するサンプリングクロック信号を選択して出力する選択回路と、

を備えて構成されることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は液晶表示装置に関し、特にパーソナルコンピュータ等より出力されるビデオ信号を入力して表示する液晶表示装置に関する。

【0002】

【従来の技術】従来、この種の液晶表示装置においては、表示の対象とするパーソナルコンピュータ等より出力されて入力されるビデオ信号は、テレビジョン等におけるビデオ信号とは異なり、完全に連続して出力されるビデオ信号ではなく、画素ごとに一定の電位を保持している信号であり、また、対応する液晶表示装置自体においても、1本の走査線のビデオ信号を連続して表示するというのではなく、画素ごとにサンプリングされているビデオ信号を表示する機能が与えられている。このサンプリング機能は、当該液晶表示装置に付与されており、パーソナルコンピュータ等より入力されるビデオ信号は、液晶表示装置内においてサンプリングされた後に表示される。この場合に、液晶表示装置内においてビデオ信号をサンプリングするポイントが、画素の一定電位が保持されているタイミングではなく、当該画素が切替わるタイミングにある場合には、下記のような問題が生じることになる。

【0003】即ち、入力されるビデオ信号の電位の変化点をサンプリングすることになるために、サンプリング回路において必要とされるセットアップ期間およびホールド期間において一定のサンプリング電位が得られず、サンプリング電位が不安定になるという問題がある。また、サンプリングクロックのジッタによる影響により、或るフレームにおいては変化前の画素データをサンプリングし、次の別フレームにおいては変化後の画素データをサンプリングしてしまうという事態が生じることがある。これらの現象により、液晶表示装置における映像としては、そのエッジがちらついて見える状態となり、映像の表示品質が著しく低下する。従って、この種の液晶表示装置においては、サンプリングポイントの適正化を図ることにより表示品質の低下を改善するために、サンプリングクロックの位相を調整する回路が必要とされている。

【0004】図5は、上記のサンプリングクロックの位相の調整を、液晶表示装置の使用者により、当該表示画面を見ながら手動にて行う従来の液晶表示装置の要部の構成を示すブロック図である。図5に示されるように、本従来例は、水平同期信号に位相同期するクロックPCLKを生成して出力するPLL回路1と、位相調整スイッチ51およびディレイ回路52を含み、クロックPCLKの位相を調整してクロックSLCKを出力する位相調整回路2と、ビデオ信号を入力し、サンプリングクロックSLCKを介してサンプリングデータを出力するサンプリング画素データサンプリング回路3と、垂直同期信号および水平同期信号を入力して、液晶表示制御信号を生成して出力する液晶駆動回路4と、ビデオ処理されたビデオ信号を表示する液晶パネル5と、前記サンプリングデータを処理するビデオ信号処理回路6とを備えて構成される。通常、パーソナルコンピュータ等からはド

ットクロックが出力されることはなく、同期信号のみが出力されている。従って、この種の液晶表示装置においては、ビデオ信号をサンプリングするために、水平同期信号に同期したクロックPCLKを生成するPLL回路1が必要とされており、上記のように構成要素の一つとして具備されている。

【0005】図5において、水平同期信号の入力を受けて、PLL回路1からは当該水平同期信号に位相同期したクロックPCLKが生成されてディレイ回路52に入力される。ディレイ回路52においては、表示画面を見ながら行われる作業者の手動操作により、位相調整スイッチ51より出力されるディレイ調整信号の入力を受けて、クロックPCLKの位相ディレイ量が制御調整され、位相調整されたサンプリングクロックSLCKが出力されて画素データサンプリング回路3に入力される。画素データサンプリング回路3においては、サンプリングクロックSLCKの入力を受けて、当該サンプリングクロックSLCKを介して、パーソナルコンピュータ等より入力されるビデオ信号R/G/Bがサンプリングされる。画素データサンプリング回路3のサンプリングデータ出力はビデオ処理回路6に入力されて、ガンマ補正および極性反転等を含む処理が行われて液晶駆動用のデータが生成され、液晶パネル5に入力されて、液晶駆動回路4より出力される液晶表示制御信号を介して表示される。なお、当該液晶表示制御信号は、垂直同期信号および水平同期信号の入力を受けて、液晶駆動回路4において生成され、液晶パネル6に入力される。

【0006】次に、図6に示されるのは、特開平7-219485号公報等において提案されている他の従来例の位相調整回路の構成を示すブロック図である。図6に示されるように、当該位相調整回路は、調整開始スイッチ66と、水平同期信号、調整開始スイッチ66より出力される動作開始信号およびクロックPCLK等の入力を受けてディレイ調整信号を出力するコントローラ63と、当該ディレイ調整信号およびクロックPCLKの入力を受けて、サンプリングクロックSLCKを生成して出力するディレイ回路61と、サンプリングクロックSLCK、ビデオ信号およびディレイ調整信号の入力を受けて、ビデオ信号をA/D変換して出力するA/D変換部62と、A/D変換部62のA/D変換出力およびディレイ調整信号の入力を受けて、当該A/D変換出力を格納するメモリ65と、A/D変換部62のA/D変換出力とメモリ65の出力とを比較照合して、その比較結果をコントローラ63に送出する比較回路64とを備えて構成される。

【0007】図6において、パーソナルコンピュータ等より入力されるビデオ信号は、A/D変換部62において、サンプリングクロックSLCKに同期してサンプリングされ、デジタル信号に変換される。A/D変換部62においてサンプリングされた或るフレームにおける所

定の画素データは、メモリ65に入力されて一旦格納される。そして、メモリ65に格納された当該画素データは、比較回路64において、次のフレームにおける同一画素に対応する画素データと比較照合されて、その差異の有無が検出される。比較結果において差異が生じた場合には、サンプリングクロックSCLKの位相が適正でないものと判定され、コントローラ63による制御作用を介して、ディレイ回路61におけるディレイ量が制御調整されて、再度、繰返して数フレームに亘ってサンプリングデータの比較照合が行われ、その結果において差異を生じることなく比較結果が一致するまで繰返して行われる。そして一致した場合には、サンプリングクロックSCLKの位相が適正化されたものと判定され、コントローラ63による制御作用を介して、ディレイ回路61のディレイ量が固定化される。なお、本従来例における位相調整は、使用者により、調整開始スイッチ66がオンにされた場合においてのみ動作が開始され、調整開始スイッチ66より出力される動作開始信号の入力を受けて、コントローラ63による制御作用が始動され、以降においては、全ての動作が自動的に行われる。

【0008】図7は、特開平5-199483号公報等において提案されている他の従来例の位相調整回路の構成を示すブロック図である。図7に示されるように、当該位相調整回路は、ビデオ信号の立ち上りエッジを検出して出力するエッジ検出回路71と、クロックPCLKおよびエッジ検出回路71のエッジ検出出力の入力を受けて、サンプリングクロックSCLKを生成して出力する同期回路72とを備えて構成される。

【0009】図7において、エッジ検出回路71においては、パーソナルコンピュータ等より入力されるビデオ信号のエッジが検出され、当該エッジのタイミングから所定時間遅延されたタイミングにおいてセットパルスが出力されて、同期回路72に入力される。同期回路72においては、当該セットパルスの入力を受けて、当該セットパルスに同期してクロックPCLKの周波数が n 分周され、サンプリングクロックSCLKが生成されて出力される。これにより、入力されるビデオ信号のエッジに同期したサンプリングクロックSCLKが得られる。この場合に、同期回路72における分周値 n の値が大きい程、位相誤差を小さい値に抑えることが可能となり、通常は n の値としては8以上の値に設定される。また、セットパルスのタイミングをエッジから所定時間遅延させることにより、ビデオ信号とサンプリングクロックSCLKとの間の位相差を固定して適正化することによって、サンプリングポイントの調整が自動的に実現されている。

【0010】

【発明が解決しようとする課題】上述した従来の液晶表示装置において、図5に示される従来例の場合には、使用者が、表示画面を見ながらスイッチを操作することに

より、サンプリングクロックSCLKのタイミング調整が行われており、使用者の操作作業が煩雑化されるという欠点がある。

【0011】また、図6に示される従来例による位相調整回路においては、或る画素に対応するビデオ信号のフレームごとのサンプリングデータを比較照合することにより、ビデオ信号に対するサンプリングポイントのタイミング調整が行われているが、表示画面が各フレームごとに異なる動画のような場合には、入力されるビデオ信号がフレームごとに変わり、フレーム単位の比較照合によっては決して一致することではなく、適正なタイミング調整を行うことができないために、調整時における表示画像としては、静止画像に限られてしまうという欠点がある。

【0012】なお、この従来例の場合には、常時調整を行うことが不可能であるために、調整を開始させるためのスイッチ操作も必要となり、操作が煩雑化されるという付加的な欠点があり、更に、タイミング調整に、数フレーム期間を必要とするために、タイミングの調整に時間を要するという欠点がある。

【0013】更に、図7に示される従来例による位相調整回路においては、ビデオ信号のエッジを検出して、当該エッジ検出信号から所定時間遅延されたセットパルスに対して同期をとることにより、サンプリングポイントのタイミングが調整されているが、表示対象のビデオ信号を出力するパーソナルコンピュータ等によって、異なるビデオ信号のリングングまたは反射等に起因するノイズ等による波形の乱れが、当該エッジから所定時間遅延されたセットパルスのタイミングにまで影響するような場合には、画素データのサンプリング回路において求められるセットアップ時間を確保することができなくなり、サンプリングポイントのタイミングが適正なタイミングに設定されなくなるという欠点がある。そして、更に、ビデオ信号のリングングまたは反射等に起因するノイズ等のレベルが大きい場合には、エッジ検出回路において、当該ノイズ等の波形に対するエッジ検出が行われる事態が発生し、適正なサンプリングポイントの調整が不可能になるという欠点がある。

【0014】

【課題を解決するための手段】第1の発明の液晶表示装置は、水平同期信号を入力して、当該水平同期信号に同期する基準クロック信号を生成して出力する位相同期回路と、所定の表示対象とするビデオ信号を入力し、前記位相同期回路より出力される基準クロック信号を介して、当該ビデオ信号の画素データをサンプリングするための適正位相のサンプリングクロック信号を生成して出力する位相調整回路と、前記ビデオ信号を入力し、前記サンプリングクロック信号を介して当該ビデオ信号の画素データをサンプリングし、サンプリング画像データを生成して出力する画素データサンプリング回路と、当該

サンプリング画像データに対するビデオ処理を行い、画像表示用の画像データを生成して出力するビデオ処理回路と、当該画像表示用の画像データを入力して表示する液晶パネルとを備えて構成される液晶表示装置において、前記位相調整回路が、前記ビデオ信号を入力して、前記基準クロック信号を介して当該ビデオ信号をサンプリングし、電位レベル判定期間検出用の第1のサンプリングデータを出力する検出用サンプリング回路と、前記第1のサンプリングデータを入力して、当該サンプリングデータの隣接する各サンプリングポイントにおける電位変化の有無を検出し、当該検出結果より前記第1のサンプリングデータの電位安定期間を示す信号を生成して出力する安定期間検出回路と、前記基準クロック信号を入力して、当該基準クロック信号の周波数を分周して分周クロック信号を生成して出力する分周回路と、前記第1のサンプリングデータの電位安定期間を示す信号の入力を受けて、当該電位安定期間を示す信号を参照して前記ビデオ信号の電位変化が安定している期間を計数し、当該計数結果により予め画像データサンプリング機能の必要条件として設定されるセットアップ時間およびホールド時間を確保することができるか否かを判定するとともに、当該必要条件を確保することができると判定される場合に、電位レベルの安定開始時点からセットアップ時間後の位相を算出し、当該算出結果を参照して、前記分周クロック信号に対する位相制御用の制御信号を生成して出力するコントローラと、前記分周回路より出力される分周クロック信号を入力し、前記コントローラより出力される制御信号を介して当該分周クロック信号の位相を制御調整し、第2のサンプリングクロック信号として、前記画像データサンプリング回路に出力するディレイ回路とを備えて構成される。

【0015】また、第2の発明の液晶表示装置は、水平同期信号を入力して、当該水平同期信号に同期する基準クロック信号を生成して出力する位相同期回路と、所定の表示対象とするビデオ信号を入力し、前記位相同期回路より出力される基準クロック信号を介して、当該ビデオ信号の画素データをサンプリングするための適正位相のサンプリングクロック信号を生成して出力する位相調整回路と、前記ビデオ信号を入力し、前記サンプリングクロック信号を介して当該ビデオ信号の画素データをサンプリングし、サンプリング画像データを生成して出力する画素データサンプリング回路と、当該サンプリング画像データに対するビデオ処理を行い、画像表示用の画像データを生成して出力するビデオ処理回路と、当該画像表示用の画像データを入力して表示する液晶パネルとを備えて構成される液晶表示装置において、前記位相調整回路が、前記基準クロック信号を入力して、当該基準クロック信号を m ($m: 0, 1, 2, \dots, m$) 本の基準クロック信号に分配するとともに、それぞれの基準クロック信号に対し、当該基準クロック信号の周期を m 分

割した位相量を ϕ として、それぞれ $m\phi$ の遅延位相量を付与して形成される m 本のサンプリングクロック信号を生成して出力する検出用サンプリングクロック生成回路と、前記ビデオ信号を入力し、前記 m 本のサンプリングクロック信号を介して、当該ビデオ信号の各1画素に対応する期間を m 個のサンプリングポイントにおいてサンプリングし、対応する m 個のサンプリングデータを生成して出力する検出用サンプリング回路と、前記 m 個のサンプリングデータを入力して、当該 m 個のサンプリングデータの隣接する各サンプリングポイントにおける電位変化の有無を検出し、当該検出結果より各サンプリングデータの電位安定期間を示す信号を生成して出力する安定期間検出回路と、前記各サンプリングデータの電位安定期間を示す信号の入力を受けて、当該電位安定期間を示す信号を参照して前記ビデオ信号の電位変化が安定している期間を計数し、当該計数結果により予め画像データサンプリング機能の必要条件として設定されるセットアップ時間およびホールド時間を確保することができるか否かを判定するとともに、当該必要条件を確保することができると判定される場合に、電位レベルの安定開始時点からセットアップ時間後の位相を算出し、当該算出結果を参照して、画像データのサンプリングクロック信号に対する位相制御用の制御信号を出力するコントローラと、前記検出用サンプリングクロック生成回路より出力される m 本のサンプリングクロック信号を入力し、前記制御信号により、当該 m 本のサンプリングクロック信号の内より、最適の位相関係を有するサンプリングクロック信号を選択して出力する選択回路とを備えて構成される。

【0016】

【発明の実施の形態】次に、本発明について図面を参照して説明する。

【0017】図1は本発明の第1の実施形態の要部の構成を示すブロック図である。図1に示されるように、本実施形態は、水平同期信号に同期する基準クロック(PLCK)を生成して出力するPLL回路1と、分周回路11、ディレイ回路12、検出用サンプリング回路13、安定期間検出回路14およびコントローラ15を含み、ビデオ信号および前記基準クロック(PLCK)の入力を受けて、当該基準クロック(PLCK)の位相を調整して、周波数が $1/N$ (N は正整数)に分周されたサンプリングクロック(SLCK)を生成して出力する位相調整回路2と、ビデオ信号を入力し、サンプリングクロック(SLCK)を介してサンプリングデータを出力する画素データサンプリング回路3と、垂直同期信号および水平同期信号を入力して、液晶駆動信号を生成して出力する液晶駆動回路4と、画素データサンプリング回路3より出力されるサンプリングデータに対して、ガンマ補正および極性反転等を含むビデオ処理を行うビデオ信号処理回路6と、ビデオ信号処理回路6において処

理された画像データを入力して、前記液晶駆動信号を介して表示する液晶パネル5とを備えて構成される。

【0018】また、図2(a)、(b)、(c)、(d)および(e)は、本実施形態における各部の信号を示すタイミング図であり、図2(a)は、PLL回路1より出力される基準クロック(PCLK)、図2(b)は、入力されるビデオ信号(連続波形表示)ならびに検出用サンプリング回路13より出力されるサンプリングデータ(DATA:ドット表示)、図2(c)は、安定期間検出回路14より出力される安定期間を示す信号(CS)、図2(d)は、分周値Nが16の場合における分周回路11より出力される分周クロック(PCLK/16)、そして図2(e)は、ディレイ回路12より出力されるサンプリングクロック(SCLK)を示している。

【0019】以下においては、図1および図2を参照して、分周回路11の分周値Nが16の場合における本実施形態の動作について説明する。従って、図1に示される分周回路11より出力される分周クロック(PCLK/N)は、分周クロック(PCLK/16)に置換えて動作説明するものとする。

【0020】図1において、水平同期信号の入力を受けて、PLL回路1からは当該水平同期信号に位相同期した基準クロック(PCLK:図2(a)参照)が生成されて、位相調整回路2の内部の分周回路11および検出用サンプリング回路13に入力される。分周回路11においては、基準クロック(PCLK)の周波数が16分周されて、分周クロック(PCLK/16:図2(d)参照)が生成され、ディレイ回路12に入力される。また、検出用サンプリング回路13においては、基準クロック(PCLK)を介して、入力されるビデオ信号(図2(b)の連続波形を参照)がサンプリングされて、当該ビデオ信号のサンプリングデータ(DATA:図2(b)のドット表示を参照)が出力され安定期間検出回路14に入力される。安定期間検出回路14においては、検出用サンプリング回路13より出力されるサンプリングデータ(DATA)の入力を受けて、隣接する二つのサンプリングポイントにおけるサンプリング電位のレベル値の比較照合が繰返して行われる。このように、隣接するサンプリング電位の比較照合を繰返して行うことにより、入力されるサンプリングデータ(DATA)の電位変化の有無が検出されて、当該検出結果により、サンプリングデータ(DATA)の電位安定期間を示す信号(CS:図2(c)参照)が出力されて、コントローラ15に入力される。コントローラ15においては、信号(CS)の入力を受けて、当該信号(CS)を参照して、入力されるビデオ信号に電位変化が無く安定している期間の計数が行われ、当該計数結果により、画素データサンプリング回路3において、予め設定されている必要セットアップ時間およびホールド時間の確保が可能

であるものと判定される場合には、当該電位レベルの安定期間の開始時点から、予め設定されているセットアップ時間後の位相が算出され、当該算出結果に対応する制御信号が出力されてディレイ回路12に入力される。ディレイ回路12においては、分周回路11より出力される分周クロック(PCLK/16)の入力を受けて、当該分周クロック(PCLK/16)のディレイ量が、コントローラ15より入力される前記制御信号により適正量に調整され、周波数が16分周されたサンプリングクロック(SCLK:図2(e)参照)が生成されて、画素データサンプリング回路3に入力される。画素データサンプリング回路3においては、当該サンプリングクロック(SCLK)を介して、パーソナルコンピュータ等より入力されるビデオ信号がサンプリングされ、そのサンプリングデータ出力は、ビデオ処理回路6に入力される。ビデオ処理回路6においては、上述したように、当該サンプリングデータに対するガンマ補正および極性反転等を含む処理が行われて液晶表示用の画像データが生成出力され、液晶パネル5に入力されて、液晶駆動回路4より出力される液晶駆動信号を介して表示される。

【0021】なお、上記の実施形態においては、分周回路11における分周値Nの値としてN=16の場合について説明しているが、当該分周値Nの値は、安定期間検出用のサンプリングポイント数、即ち安定期間検出の最小単位に影響を与えるとともに、調整精度をも規定付ける数値であり、このNの値が小さ過ぎる場合には調整効果が無くなることになるため、Nとしては、回路として動作可能な最大値に設定することが必要であり、少なくとも16以上の値が望ましい。

【0022】また、安定期間検出回路14におけるサンプリング電位の比較照合判定においては、必要とされる検出精度は、入力されるビデオ信号の表示色数に依存しており、R、GおよびBの各単位諧調の電位差を検出することのできる精度が必要となる。例えば、入力されるビデオ信号が、0.7Vppで、各色256諧調表示の場合には、2.7mVの差異を識別することのできる精度が必要となる。

【0023】次に、図1に示される位相調整回路2の動作について、図2(a)、(b)、(c)、(d)および(e)のタイミング図を参照して敷衍して説明する。

【0024】図2(b)のタイミング図に示される連続波形の表示は、既に説明したように、パーソナルコンピュータ等より入力されるビデオ信号であるが、当該ビデオ信号は、連続している画素のデータが、黒、白、黒というように形成される波形とえて示されている。このビデオ信号は、検出用サンプリング回路13において、図2(a)に示される基準クロック(PCLK)により、図2(b)に示されるように、ビデオ信号の各サンプリングポイントVS₀からVS₁₅に至る各電位がサンプリングされる。これらの各サンプリングポイントにおける

サンプリングデータ (DATA) は、安定期間検出回路 14 に入力されて、それぞれサンプリングポイント VS_0 と VS_1 、 VS_1 と VS_2 、 VS_2 と VS_3 、 VS_3 と VS_4 、……、 VS_{14} と VS_{15} の隣接する電位が比較照合されて、相互比較による電位が同一レベルとなる場合には“H”レベルとなる 2 値信号が生成され、図 2 (c) に示されるように、信号 (CS) として出力されてコントローラ 15 に入力される。コントローラ 15 においては、この信号 (CS) の“H”レベルとして保持される時間 T_A が計数されて、予め設定されている画素データサンプリング回路 3 において必要とされるセットアップ時間およびホールド時間との比較照合が行われ、入力されたビデオ信号の品質が、当該コントローラ 15 において評価判定される。また、信号 (CS) の立ち上がりから、予め設定されている画素データサンプリング回路 3 において必要とされるセットアップ時間 T_B 後における位相に対して、画素データサンプリング用のサンプリングクロック (SCLK) のタイミングを合わせるために、所要のディレイ量 T_C がコントローラ 15 において算出される。そして、分周回路 11 より入力される分周クロック (PCLK/16) に対して、当該算出されたディレイ量 T_C を付与することにより、ディレイ回路 12 においては、図 2 (e) に示されるように、適正な位相となる画素データサンプリング用のサンプリングクロック (SCLK) が生成されて出力される。

【0025】図 3 は、本発明の第 2 の実施形態における位相調整回路の構成を示すブロック図である。図 3 に示されるように、本実施形態の位相調整回路 2 は、水平同期信号に同期する基準クロック (PCLK) を入力して、当該基準クロック (PCLK) を m (正整数) 本の基準クロックに分配するとともに、それぞれの基準クロックに対して、その周期を m 分割した量に比例するディレイ量を付与して、段階的に位相の異なる m 本の検出用サンプリングクロック (DPCLK [0、1、2、……、 m]) を生成して出力する検出用サンプリングクロック生成回路 21 と、検出用サンプリングクロック (DPCLK [0、1、2、……、 m]) の入力を受けて、当該検出用サンプリングクロック (DPCLK [0、1、2、……、 m]) を介して、パーソナルコンピュータ等より入力されるビデオ信号の各 1 画素に対応する期間を、 m 個のポイントにおいてそれぞれサンプリングする m 個のサンプリング回路により形成される検出用サンプリング回路 23 と、当該 m 個のサンプリング回路より出力される m 個のサンプリングデータの、隣接する二つのサンプリングポイントにおけるサンプリング電位を比較照合する m 個の比較回路を含み、それぞれ入力されるビデオ信号の電位変化の有無を検出して、当該電位に変化が無く安定している場合には、対応するサンプリングデータの電位安定期間を示す信号 (CS [0、1、2、……、 M]) を出力する安定期間検出回路 24 と、信号

(CS [0、1、2、……、 M]) の入力を受けて、当該信号 (CS [0、1、2、……、 M]) を参照して、入力されるビデオ信号に電位変化が無く安定している期間の計数を行い、当該計数結果により、画素データサンプリング回路 (図 3 には図示されない。図 1 の画素データサンプリング回路 3 を参照) において、予め設定されている必要セットアップ時間およびホールド時間の確保が可能であるものと判定される場合には、当該電位レベルの安定期間の開始時点から、予め設定されているセットアップ時間後の位相を算出して、当該算出結果に対応する m 本の検出用サンプリングクロックの内の最適な位相関係にあるものを選択するための制御信号を生成して出力するコントローラ 25 と、検出用サンプリングクロック生成回路 21 より出力される検出用サンプリングクロック (DPCLK [0、1、2、……、 m]) の入力を受けて、当該制御信号により制御されて、その内の適正な検出用サンプリングクロックを選択し、画素データサンプリング回路に対するサンプリングクロック (SCLK) として出力する選択回路 22 とを備えて構成される。なお、上記の m の値は、安定期間検出用のサンプリングポイント数、即ち安定期間検出の最小単位に影響を与える数値であり、位相調整精度を規定付ける値である。従って、 m の値が小さ過ぎる場合には、調整の効果が失われることになるため、回路が動作する最大値に設定することが必要であり、少なくとも 16 以上の値とすることが望ましい。

【0026】次に、 m の値を 16 とし、図 3 に示される本位相調整回路の動作について、図 4 (a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)、(i)、(j)、(k)、(l) および (p) のタイミング図を参照して数延して説明する。

【0027】図 4 (g) のタイミング図に示される連続波形の表示は、パーソナルコンピュータ等より入力されるビデオ信号であり、連続する画素のデータが、黒、白、黒というように形成される波形として示されている。検出用サンプリングクロック生成回路 21 からは、図 4 (b)、(c)、(d)、(e)、……に示されるように、 m 本の検出用サンプリングクロック (DPCLK [0、1、2、……、 m]) が出力されて、検出用サンプリング回路 23 に入力される。入力されるビデオ信号は、検出用サンプリング回路 23 において、上記の m 本の検出用サンプリングクロック (DPCLK [0、1、2、……、 m]) により、図 4 (g) にドット表示されるように、ビデオ信号の各サンプリングポイント VS_0 から VS_{15} における各電位がサンプリングされ、これらの各サンプリングポイントにおけるサンプリングデータ (DATA) は、安定期間検出回路 24 に入力される。安定期間検出回路 24 においては、16 個の比較回路において、それぞれサンプリングポイント VS_0 と VS_1 、 VS_1 と VS_2 、 VS_2 と VS_3 、 VS_3 と VS_4 、……、 VS_{14} と VS_{15} の隣接する電位が比較照合されて、相互比較による電位が同一レベルとなる場合には“H”レベルとなる 2 値信号が生成され、図 2 (c) に示されるように、信号 (CS) として出力されてコントローラ 15 に入力される。コントローラ 15 においては、この信号 (CS) の“H”レベルとして保持される時間 T_A が計数されて、予め設定されている画素データサンプリング回路 3 において必要とされるセットアップ時間およびホールド時間との比較照合が行われ、入力されたビデオ信号の品質が、当該コントローラ 15 において評価判定される。また、信号 (CS) の立ち上がりから、予め設定されている画素データサンプリング回路 3 において必要とされるセットアップ時間 T_B 後における位相に対して、画素データサンプリング用のサンプリングクロック (SCLK) のタイミングを合わせるために、所要のディレイ量 T_C がコントローラ 15 において算出される。そして、分周回路 11 より入力される分周クロック (PCLK/16) に対して、当該算出されたディレイ量 T_C を付与することにより、ディレイ回路 12 においては、図 2 (e) に示されるように、適正な位相となる画素データサンプリング用のサンプリングクロック (SCLK) が生成されて出力される。

4、……、 VS_{14} と VS_{15} の隣接する電位が比較照合されて、相互比較による電位が同一レベルとなる場合には、図4(j)、(k)、…、(l)に示されるように、“H”レベルとなる2値信号として、信号(CS[10])、信号(CS[11])、……、信号(CS[15])が生成されて出力される。なお、図4(h)および(k)に示される信号(CS[0])および信号(CS[1])の場合には、対応するサンプリングポイントにおける電位が同レベルでないために、“L”レベルの2値信号として生成されている。ディレイ回路12においては、“H”レベルの信号(CS)の入力を受けて、当該“H”レベルの信号(CS)の本数から、入力されたビデオ信号が安定している時間が計数され、第1の実施形態の場合と同様に、予め設定されている画素データサンプリング回路において必要とされるセットアップ時間およびホールド時間との比較照合が行われて、入力されたビデオ信号の品質が判定される。また、図4(j)、(k)、(l)等に見られるように、安定期間検出回路24から出力される“H”レベルの信号(CS)より、ビデオ信号の安定した期間の開始タイミングが検出され、予め設定されている画素データサンプリング回路において必要とされるセットアップ時間後における位相が算出される。そして、この算出された位相に対して最も近い位相関係を有する検出用サンプリングクロックを選択するように作用する制御信号がコントローラ25より出力され、当該制御信号により、選択回路22においては、検出用サンプリングクロック生成回路21より出力される検出用サンプリングクロックの内より、前記算出結果による最も近い位相関係を有する検出用サンプリングクロックが選択されて、図4(p)に示されるように、サンプリングクロック信号(SCLK)として出力される。

【0028】

【発明の効果】以上説明したように、本発明は、動画を含む任意の表示画面において、入力されるビデオ信号の1画素のデータに対応して、当該ビデオ信号のドットクロック周波数よりも高い周波数のサンプリングクロックによりサンプリングを行い、当該ビデオ信号の電位変化を仔細に観測し、当該電位レベル変動およびその後における信号波形の安定性を検出して、ビデオ信号に対する適正位相を算出し、当該算出結果を参照して画素データのサンプリングクロックの自動位相調整を行うことにより、人為による操作制御を要することなく、速かに正常な液晶表示を行うことができるという効果がある。

【0029】また、上述のように、ビデオ信号のドットクロック周波数よりも高い周波数のサンプリングクロックによりサンプリングを行い、当該ビデオ信号の電位変化を仔細に観測することにより、入力されるビデオ信号

によっては介在している異なるリングングまたはノイズ等による信号波形の乱れが回避されて、電位レベル変動の無い安定した期間が検出され、当該安定期間と画素データの所要サンプリング期間との比較照合を介して適正位相を算出し、当該算出結果を参照して画素データのサンプリングクロックの自動位相調整を行うことにより、前記リングングまたはノイズ等による信号波形の品質を見極めることが可能になるとともに、リングングまたはノイズ等による不安定期間の長短には影響されることなく、サンプリングクロックの自動位相調整を行うことにより、正常な液晶表示を行うことができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の構成を示すブロック図である。

【図2】前記第1の実施形態における動作タイミング図である。

【図3】本発明の第2の実施形態の構成を示すブロック図である。

【図4】前記第2の実施形態における動作タイミング図である。

【図5】従来例の構成を示すブロック図である。

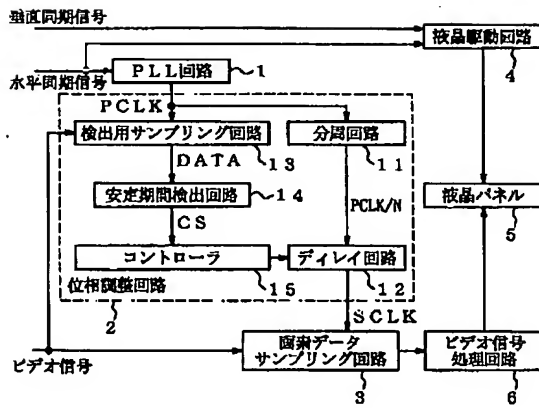
【図6】他の従来例における位相調整回路の構成を示すブロック図である。

【図7】他の従来例における位相調整回路の構成を示すブロック図である。

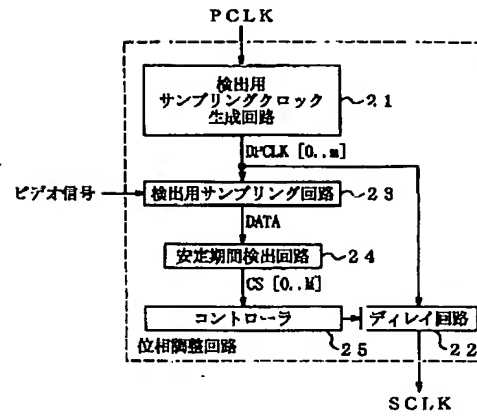
【符号の説明】

- 1 PLL回路
- 2 位相調整回路
- 3 画素データサンプリング回路
- 4 液晶駆動回路
- 5 液晶パネル
- 6 ビデオ信号処理回路
- 11 分周回路
- 12、52、61 ディレイ回路
- 13、23 検出用サンプリング回路
- 14、24 安定期間検出回路
- 15、25、63 コントローラ
- 21 検出用サンプリングクロック生成回路
- 22 選択回路
- 51 位相調整スイッチ
- 62 A/D変換部
- 64 比較回路
- 65 メモリ
- 66 調整開始スイッチ
- 71 エッジ検出回路
- 72 同期回路

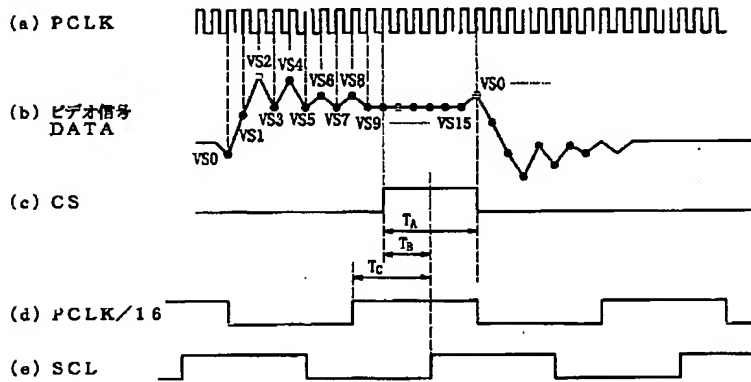
【図1】



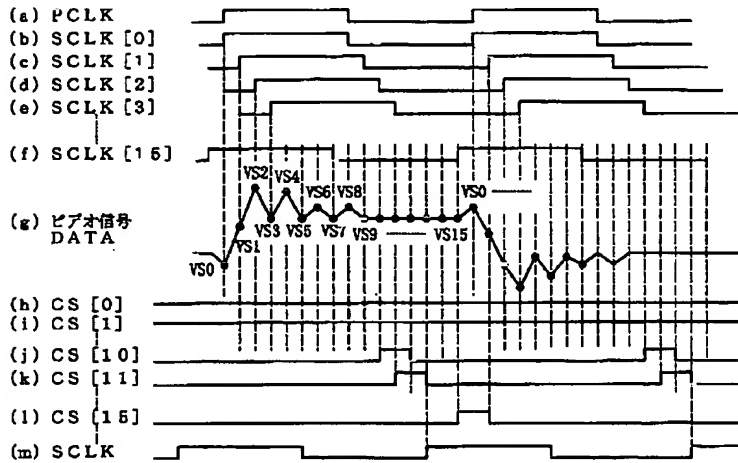
【図3】



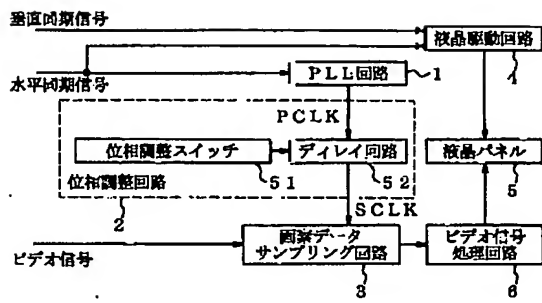
【図2】



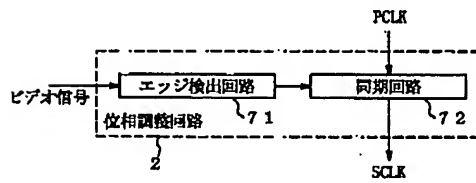
【図4】



【図5】



【図7】



【図6】

